



Title	相対遅延モデルに基づく非同期式パイプラインシステムの論理設計と試作および評価
Author(s)	長田, 康敬
Citation	
Issue Date	2009-06-01
URL	http://hdl.handle.net/20.500.12000/13508
Rights	

平成 21 年 6 月 1 日現在

研究種目： 基盤研究(C)
 研究期間： 2005～2008
 課題番号： 17560361
 研究課題名(和文) 相対遅延モデルに基づく非同期式パイプラインシステムの論理設計と試作および評価
 研究課題名(英文) Design, Manufacture and Evaluation of an Asynchronous Pipeline-System based on Relatively-Delay Model.
 研究代表者
 長田 康敬 (NAGATA YASUNORI)
 国立大学法人 琉球大学・工学部・教授
 研究者番号： 50208021

研究成果の概要： コンピュータの超高速化，高機能化にともなって集積回路が超微細化加工されるに従い，従来のクロックによる同期式システムの考えだけでは正しい動作が保障されないため，要求／応答制御信号を用いた非同期システムが注目されている．本研究では，相対遅延モデルを提案し，これに基づく非同期システムやパイプラインシステムを設計し，これらを FPGA 上に実装し，評価を行うものである．研究の途中で，D-素子や 2 線論理実装ライブラリ，また，非同期システムの検証手法，時相論理の新しい体系などを提案している．

交付額

(金額単位：円)

	直接経費	間接経費	合計
2005 年度	600,000	0	600,000
2006 年度	700,000	0	700,000
2007 年度	700,000	210,000	910,000
2008 年度	1,400,000	420,000	1,820,000
年度			
総計	3,400,000	630,000	4,030,000

研究分野：工学

科研費の分科・細目：電気電子工学・システム工学

キーワード：非同期システム、パイプライン、相対遅延、3 値論理、時相論理、システム検証、ヒステリシスゲート、非同期回路

1. 研究開始当初の背景

本研究は，年々，超高速化・高機能化するコンピュータシステムあるいはデジタル機器の限界を打破するため，新しい設計手法および構成法である非同期式システムについて，その基礎理論と機器構成を行ない評価するものである．

従来の同期式デジタルシステムは超高速動作になるとクロックスキュー等の問題が生じ，その微細加工や大規模化に限界が認識されるようになってきた．非同期システムは

グローバルクロックを使用せず，要求信号／応答信号を用いた事象駆動型の回路システムであり，本質的には 3 値論理を基礎としている．非同期式システムは，同期式システムの限界を超え，なおかつ低消費電力，低電磁界輻射などの利点を有する．また，設計や検証において通常のブール代数のみではシステム記述力が弱く，様相論理や時相論理を用いることも少なくない．また，非同期システムの性質はその遅延モデルによって大きく異なり，まだ，十分整理されておらず，それ

に伴い、設計手法も確立されていないのが現状であった。

2. 研究の目的

本研究の目的は、年々、超高速化・高機能化するデジタル機器やコンピュータシステムの限界を打破するため、新しい設計手法および構成法である非同期システムについて、その基礎理論と機器構成を行ない計測・評価するものである。

具体的には、多値論理やペトリネットを用いた新しい非同期システムの設計手法や構成法、さらに構成要素（新機能のゲート回路など）を提案している。ハードウェアとしてFPGA上にシステム構成し、動作確認や評価を行うものである。

3. 研究の方法

本研究では非同期システムの基礎理論として、様相論理や時相論理に関する研究を行った。これは、Constructive 論理と Situation 論理についての公理体系および構造に関するものと、プライアーの様相論理 Q に関する内容であった。

続いて、非同期回路のためのシステム検証技術として、時相論理を応用した研究を行った。これは、大規模で複雑な動作仕様のシステムが正しく所望の動作を行なうかをシステム記述から検証するCADプログラムSMVを用い、検証が効率よく行われる手法を与えた。

非同期パイプラインシステムのハードウェア構成として、束データ方式に基づいたパイプラインプロセッサを、科研費で購入したFPGAボード上のLSIに構成し動作させた。これが、非同期コンピュータとして動作することを確認した。合成手法として、バーストモード非同期回路の合成をおこなった。さらに、非同期回路を構成する最新の構成要素をニューロMOSトランジスタで合成したヒステリシス性を持つしきいゲートについても新規の研究として進めた。

非同期パイプラインシステムとしてフローティングゲートを応用したヒステリシスを有する非同期回路向けしきい素子を開発し、そのしきい値を可変にできる構成まで開発した。デバイスのシミュレーションにNG-SPICEを使用した。

さらに非同期システムを2線論理回路としてFPGA上に実装するため、2線式非同期回路用のライブラリを開発しVHDLに実装した。また、これを用いて種々の非同期回路を設計できることを示した。FPGA上に、提案している相対遅延で実装できる。

また、非同期システムをFPGAに実装したときの測定器として8チャンネルのデジタルトレーナーを試作し、これが良好に動作した。

FPGAボードやコンピュータ、そして測定器

等を科研費で購入し実験を行った。

4. 研究成果

研究の目的に沿って、

(1) 様相の扱える3値論理のシステムQtを提案した。多値論理の分野でも最近、話題になるテーマでもある。非同期システムなど従来のブール代数では扱えない時間情報や因果律を扱える。

(2) 非同期システムの検証に関する研究成果を発表した。検証ツールSMVなどを使用して、複雑になる非同期システムの振る舞いを高速に検証する手法を与えており、斬新である。

(3) 非同期パイプラインシステムの検討とヒステリシスを持つ基本ゲートの提案：フローティングゲートを応用したヒステリシスを有する非同期回路向けしきい素子を開発し、そのしきい値を可変にできる構成まで開発した。デバイスのシミュレーションにNG-SPICEを使用した。

(4) 2線式非同期回路用のライブラリを開発しVHDLに実装した。また、これを用いて種々の非同期回路を設計できることを示した。FPGA上に、提案している相対遅延で実装できる。

また、非同期システムをFPGAに実装したときの測定器として8チャンネルのデジタルトレーナーを試作し、これが良好に動作した。

(5) ヒステリシスを有するしきいゲートを提案しその回路構成とレイアウトを発表した。さらに、ヒステリシスを有するしきいゲートのしきい値を可変できる素子を開発した。これら提案したゲートを用いてALUを構成しデモンストレーションを行った。

(6) ペトリネットを用いて非同期パイプラインシステムの動作を記述し、いくつかのパイプラインシステムの比較を行った。これによりパイプラインシステムの共通な動作原理を抽出することができた。さらに非同期パイプラインシステムのFPGA実装を行った。

(7) 非同期システムを市販のFPGAに実装するために2線論理構成のためのVHDLライブラリを開発し、発表を行った。

(8) 各種C素子回路の回路動作をSMVによって検証を行い、どのC素子がどの遅延モデルで動作可能かを分類した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 10 件)

1. Seiki Akama, Yasunori Nagata “Three-Valued Temporal Logic Qt and Future Contingents”, *Studia Logica*, Vol. 88, No. 2, pp. 215-231, 2008, 査読あり
2. Seiki Akama and Yasunori Nagata, “A Three Valued Temporal Logic for Future Contingents”, *Logique & Analyse*, Vol. 50-198, pp. 99-111, 2007, 査読あり
3. Seiki Akama and Yasunori Nagata, “Three-Valued Temporal Logic Qt and Future Contingents”, *Studia Logica*, Vol. 88, No. 2, pp. 215-231, 2007, 査読あり
4. Seiki Akama and Yasunori Nagata, “On Prior’s Three-Valued Modal Logic Q”, *Journal of Advanced Computational Intelligence and Intelligent Informatics*, Vol. E89-C, No. 6, pp. 105-110, 2007, 査読あり
5. Chikatoshi Yamada and Yasunori Nagata, “An Efficient Specification Method of Asynchronous Control Modules in Model Checking”, *WSEAS Trans. on Circuit and Systems*, Issue 1, Vol. 6, pp. 163-170, 2007, 査読あり
6. Seiki Akama and Yasunori Nagata, “Infon Logic Based on Constructive Logic”, *Logique et Analyse*, vol. 194, pp. 119-136, 2006, 査読あり
7. Chikatoshi Yamada, Yasunori Nagata and Zensho Nakao, “An Efficient Specification for System Verification”, *Journal of Advanced Computational Intelligence and Intelligent Informatics*, Vol. 10, No. 6, pp. 931-938, 2006, 査読あり
8. Chikatoshi Yamada and Yasunori Nagata, “Inductive Temporal Formula Specifications for System Verification”, *Journal of Advanced Computational Intelligence and Intelligent Informatics*, Vol. 9, No. 3, pp. 321-328, 2005, 査読あり
9. Yasunori Nagata, Masao Mukaidono and D.

Michael Miller, “Minimal Test Generation by Hashing for R-Valued PLAs, *REAJ*(日本信頼性学会論文誌), Vol. 27, No. 6, 9 月号, pp. 435-443, 査読あり

10. Seiki Akama and Yasunori Nagata, “Constructive Logic and Situation Theory”, *Advanced in Logic Based Intelligent Systems*, Vol. 132, pp. 1-8, 2005, 査読あり

[学会発表] (計 28 件)

1. Mototsune Nakahodo, Chikatoshi Yamada and Yasunori Nagata, “Design of Multiple Threshold Gate with hysteresis for Asynchronous Circuits”, *IEEE SCIS & ISIS*, TH-B5-2, pp. 587-591, 2008, 査読あり
2. Chikatoshi Yamada and Yasunori Nagata, “A System Verification Methodology based on Check-Point Extraction Method”, *IEEE SCIS & ISIS*, TH-B5-2, pp. 98-103, 2008, 査読あり
3. 長嶋裕樹, 長田康敬, “ヒステリシスしきいゲートの合成について”, 電子情報通信学会九州支部学生会講演会, 2008, 査読なし
4. 白土裕介, 長田康敬, “非同期パイプラインのペトリネットによる比較”, 電子情報通信学会九州支部学生会講演会, 2008, 査読なし
5. 町田宗平, 長田康敬, “ヒステリシスを用いる可変しきいゲートを用いた ALU の設計”, 電子情報通信学会九州支部学生会講演会, 2008, 査読なし
6. 宮城武志, 長田康敬, “2 線論理回路用 VHDL ライブラリについて”, 電子情報通信学会九州支部学生会講演会, 2008, 査読なし
7. 芦原圭祐, 長田康敬, “非同期パイプラインのシステムの FPGA 実装について”, 電子情報通信学会九州支部学生会講演会, 2008, 査読なし
8. 薦本沙織, 長田康敬, “C 素子の SMV による検証について”, 電子情報通信学会九州支部学生会講演会, 2008, 査読なし
9. Chikatoshi Yamada and Yasunori Nagata, “A Check-points Extraction Method for Formal Verification”, *WSEAS press: Proc. of WSEAS Int’l Conf. on SYSTEMS THEORY AND SCIENTIFIC COMPUTATION*, No. 7, pp. 78-83, 2007, 査読あり

10. Mototsune Nakahodo, Chikatoshi Yamada and Yasunori Nagata, "Threshold Gate with Hysteresis using Neuron MOS", WSEAS press: Proc. of WSEAS Int'l Conf. on SYSTEMS THEORY AND SCIENTIFIC COMPUTATION, No. 7, pp.159-164, 2007, 査読あり
11. Chikatoshi Yamada and Yasunori Nagata, "An Efficient Specification for Model Checking Using Check-Points Extraction Method", WSEAS press: Proc. of WSEAS Int'l Conf. on APPLIED COMPUTER SCIENCE / COMPUTER SCIENCE CHALLENGES, No. 7, pp. 208-213, 2007, 査読あり
12. 勝浦大輔, 仲程基経, 長田康敬, "ヒステリシス性を有する可変しきいゲートの合成手法", 電子情報通信学会九州支部連合大会, 2007, 査読なし
13. 上野愛, 長田康敬, "レイアウトから設計する ν MOS しきいゲート", 電子情報通信学会九州支部連合大会, 2007, 査読なし
14. 蔦本沙織, 長田康敬, "Linux搭載ボードによるネットワークシステムの構築", 電子情報通信学会九州支部連合大会, 2007, 査読なし
15. 宮城武志, 又吉元紀, 長田康敬, "非同期回路用 VHDL ライブラリの構築", 電子情報通信学会九州支部連合大会, 2007, 査読なし
16. 芦原圭祐, 長田康敬, "非同期 MIPS プロセッサの FPGA 実装", 電子情報通信学会九州支部連合大会, 2007, 査読なし
17. 又吉元紀, 仲程基経, 長田康敬, "FPGA を対象とした非同期素子の設計と検証", 電子情報通信学会九州支部連合大会, 2007, 査読なし
18. 仲程基経, 又吉元紀, 長田康敬, " ν MOS を用いたヒステリシスしきいゲートについて", 電子情報通信学会第2種研究会 第20回多値論理とその応用研究会 (多値技報), Vol. MVL-07, No. 1, pp. 45-50, 2007, 査読なし
19. Chikatoshi Yamada and Yasunori Nagata, "An Efficient Temporal Formula Specification Method for Asynchronous Circuit Systems", WSEAS Int'l Conf. on Applied Computer Science, Proc. of 6th, pp. 214-219, 2006, 査読あり
20. 仲程基経, 島袋克彦, 長田康敬, "ヒステリシス性を有する ν -MOS 多値しきいゲートを用いた非同期回路の合成について", 第23回多値論理フォーラム, 第29巻, pp. 18-1~18-5, 2006, 査読なし
21. 仲程基経, 長田康敬, "ヒステリシスを有する ν -MOS しきいゲートを用いた非同期回路の合成", 平成18年度電気関係学会九州支部連合大会論文集, No. 07-2P-07, p. 455, 2006, 査読なし
22. 又吉元紀, 長田康敬, " ν -MOS を用いたヒステリシス性を有する可変しきいゲートの制御について", 平成18年度電気関係学会九州支部連合大会論文集, No. 07-2P-08, p. 456, 2006, 査読なし
23. Seiki Akama and Yasunori Nagata, "On Prior's Three-Valued Modal Logic Q", IEEE Proc. 35th Int'l Symp. on Multiple-Valued Logic, ISMVL' 05, pp. 14-19, 2005, 査読あり
24. Chikatoshi Yamada and Yasunori Nagata, "An Efficient Temporal Formula Specification Method for System Verification", IEEE Proc of Soft Computing in System 2005, SCIS & ISIS 2005, ISIS' 05, pp. 441-446, 2005, 査読あり
25. Chikatoshi Yamada and Yasunori Nagata, "An Efficient Temporal Formula Specification Method for Asynchronous Circuit Systems", IEEE Proc of International Region 10 Conference, TENCON' 05, No. 1D-10.1, pp. 832-835, 2005, 査読あり
26. 上江田 勝由, 長田康敬, "ヒステリシス性を持つしきいゲートについて", 平成17年度電気関係学会九州支部連合大会論文集
27. 奥原 聡, 長田康敬, "バーストモード非同期順序機械の合成について", 平成17年度電気関係学会九州支部連合大会論文集, No. 12-1A-11, p. 476, 2005, 査読なし
28. 宮里 英樹, 長田康敬, "束データ方式に基づく非同期マイクロプロセッサの FPGA 実装", 平成17年度電気関係学会九州支部連合大会論文集, No. 12-1A-13, p. 478, 2005, 査読なし

[図書] (計 1 件)

1. 赤間世紀, 玉城史郎, 長田康敬, "情報数学入門", 共立出版社, 187頁, 2006

[その他]

1. IEEE ISMVL2009 沖縄開催 副幹事長

6. 研究組織

(1) 研究代表者

長田 康敬 (NAGATA YASUNORI)
国立大学法人 琉球大学・工学部・教授
研究者番号：50208021

(2) 研究分担者

(3) 連携研究者