



Title	トランジスター差働増幅器を用いた2線式計算機回路
Author(s)	安富祖, 忠信
Citation	琉球大学農家政工学部学術報告 = The science bulletin of the Division of Agriculture, Home Economics & Engineering, University of the Ryukyus(9): 308-321
Issue Date	1962-12-01
URL	http://hdl.handle.net/20.500.12000/23153
Rights	

トランジスタ-差働増幅器を用いた2線式計算機回路

安 富 祖 忠 信*

Chushin AFUSO: Two wire System Computer Circuits using Transistor Difference Amplifier.

I 序 論

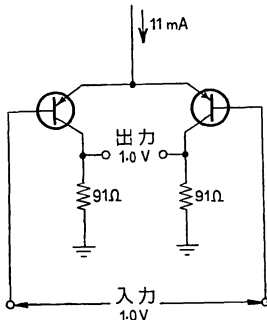
電子計算機の高速度化への一つの方法として電気回路自身の高速度化がある。電気計算回路においてその速度を決定する要素としては、a) 入力パルスに対する出力パルスの時間遅れ、b) 出力パルスの立ち上りおよび降下時間、がある。時間遅れは計算を行なう電気的素子（真空管、トランジスタ、ダイオード等）の応答速度および之等を如何に持続するかにより決まる。出力パルスの立ち上りおよび降下時間は、電気的素子および出力回路の時定数による。後者の改善および計算機の小型化も併せて考えると、小信号電圧回路が望ましい。

2個のトランジスタのエミターを共通点とし、両ベース間に入力電圧を印加する差働増幅器は感度が高く、現在市販されているトランジスタ**を用いて1.0 [v] 程度の入力パルスに対し、 $2\text{m}\mu\text{s}$ でスイッチングを行なう。例えば、電流源として11 maをとれば、負荷抵抗は、次の段を1.0 [v] で駆動することを考慮して、 $91\ \Omega$ の低抵抗となり、時定数を可なり小さくすることが出来る。

この様に、差働スイッチング回路においては、駆動電圧が低くてよいので、電流の値も割合に小さく而も負荷抵抗を小さく、従って出力回路の時定数を低くとることが容易である。

次に高速化、小型化の為に信号パルス電圧を小さくする上の方法において、外部からの雑音の影響が懸念される。併し差働スイッチング回路においては、後で述べる様に、この影響を除くことが可能である。

以上の点から、この種の回路は高速、小型スイッチング回路として適当であると思われる。



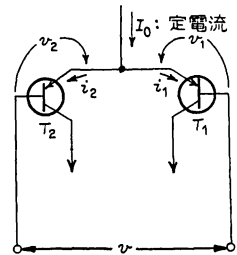
第1図 差働増幅器

II トランジスタ-差働スイッチング回路とそのスイッチング感度

2個のトランジスタのエミターを共通点とし定電流源に接続して得られる差働スイッチング回路について考える。両ベース間に加わる入力電圧を v とする。各トランジスタのエミター電流とエミターとベース間の電圧をダイオードの電圧電流特性式で表わして、

$$i_1 = I_1(e^{qv_1/kT} - 1), \quad i_2 = I_2(e^{qv_2/kT} - 1).$$

ここで I_1, I_2 は各エミターベースダイオードの飽和電流、 $k/q (=8.618$



第2図 差働スイッチング回路

* 琉球大学農家政工学部電気工学科

** 実験では米国 Western Electric 製 GF-45011 (α -cut-off 周波数が 500 Mc) を用いた

$\times 10^{-5} \text{ e.v./deg.}$) はボルツマン定数, T は絶対温度である。

また第2図の回路については,

$$v_1 = v + v_2, \quad I_0 = i_1 + i_2$$

之等の式から i_2 と v の関係を求めると

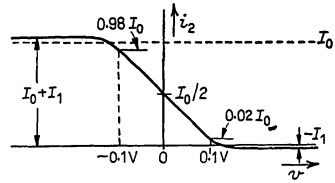
$$i_2 = I_2 \left[\frac{I_0 + I_1 + I_2}{I_2 + I_1 e^{qv/kT}} - 1 \right].$$

同一特性のトランジスタに対しては, $I_1 = I_2$ で, このとき上式は

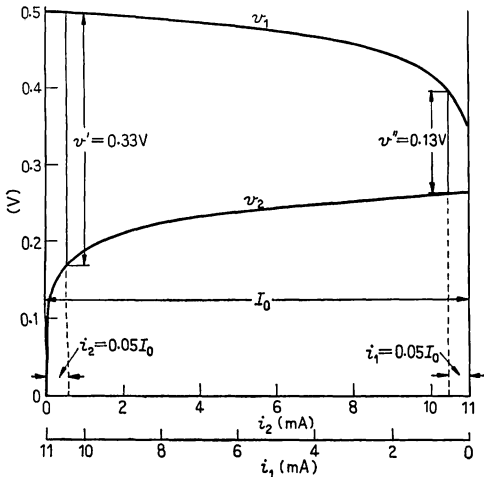
$$i_2 = \frac{I_0 + 2I_1}{1 + e^{qv/kT}} - I_1.$$

$v=0$ において $i_1 = i_2 = I_0/2$, また $v \sim \pm 0.1$ [v] において, $I_0 \gg I_1$ であることから, $i_2 \sim 0.02 I_0$, $i_2 \sim 0.98 I_0$ となることも容易に解る。この様にスイッチング感度が極めてよく, 小信号回路に利用出来ることが解る

小信号回路に於いて注意を要する事項として, 外部雑音がある。併し差働スイッチング回路においては, 入力端子への2つの線を接近して配線することにより, 夫々の線に誘導で生ずる雑音電圧が等しくなり, 従って入力電圧,



第3図 差働スイッチング回路のスイッチング特性



第4図 差働スイッチング回路のグラフによる解析

両者の差, には雑音電圧は現れない。次にここで実験に用いられた PNP トランジスタ GF-45011 について, その静的スウィング電圧を求める。この場合, 実測されたデータを基にしてグラフによる方法が便利である。

$$0.33 - 0.13 = 0.20 \text{ [v].}$$

併し実際にはどのトランジスタがどの特性になっているかを調べるわけにはいかないから, 最悪の場合を考慮して, スウィッチング電圧は

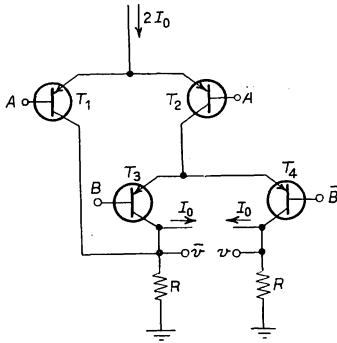
$$0.33 \times 2 = 0.66 \text{ [v]}$$

をとる。

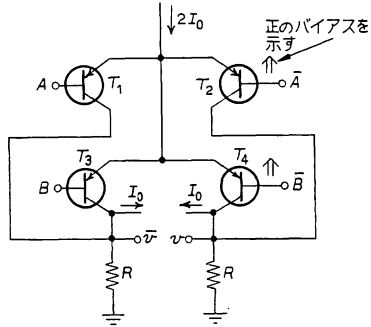
第4図に示されている様にエミターに注ぎ込む電流源の電流 I_0 だけ隔てて, 2つのダイオード特性を, 電流を逆向きに記入する。トランジスタの特性のばらつきがあるので, 最悪の場合にもスイッチングが間違いなく行なわれる様に, 特性の両極端についてスイッチング電圧を求める。今電流源 I_0 の95%以上が流れたとき「ON」, 5%以下しか流れないとき「OFF」と定義すると, 図においてダイオード1をONにするためにはダイオード2のベースの電位を0.33 [v] だけ上げる必要がある。次にダイオード2をONにする為にはダイオード2のベースを0.13 [v] だけ上げればよい。従ってダイオード1とダイオード2の間のスイッチング電圧は,

III 基本的論理回路

上述の様な 2 線式スイッチング回路を用いた基本的論理回路を考える。



第 5 図 AND 回路 I



第 6 図 AND 回路 II

i) AND 回路, OR 回路

第 5 図, 第 6 図はいずれも AND 回路である。対になった, 例えば T_1, T_2 のベースの電位を夫々 V_{b1}, V_{b2} とし,

$$V_{b1} - V_{b2} \geq \text{スイッチング電圧}$$

のとき, 2 進法入力 $A=1, \bar{A}=0$, また

$$V_{b2} - V_{b1} \geq \text{スイッチング電圧}$$

第 1 表 AND 回路に対する真理値

A	\bar{A}	B	\bar{B}	v	\bar{v}
1	0	1	0	$+RI_0$	$-RI_0$
1	0	0	1	$-RI_0$	$+RI_0$
0	1	1	0	$-RI_0$	$+RI_0$
0	1	0	1	$-RI_0$	$+RI_0$

のとき, $A=0, \bar{A}=1$ 等とする。第 5 図の回路において, A, \bar{A}, B, \bar{B} の 4 つの組合せに対し, 第 1 表の様な出力電圧 v, \bar{v} を得る*。ここで出力において $+RI_0$ を 2 進法の 1, $-RI_0$ を 0 に対応させると, 2 進法出力 f は $f=A \cdot B$ となる。

またこの回路は, そのまま OR 回路として働く。上式より

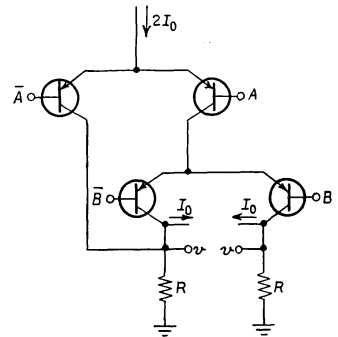
$$\bar{f} = \bar{A} \cdot \bar{B} = \bar{A} \vee \bar{B}.$$

ここで \bar{A} を A で, \bar{B} を B で, また \bar{f} を f で夫々置き換えると,

$$f = A \vee B$$

となるから, 第 5 図の回路の入力を夫々入れ替えることにより第 7 図に示す様な OR 回路が得られる。

GF-45011 トランジスターを用いた回路においては, 入力と出力の時間遅れと出力パルスの立上り時間が大体 $4 \mu\text{s}$ である。この回路においては, トランジスターが直列に接続されている為



第 7 図 OR 回路

* 簡単な為にはトランジスターの $\alpha=1$ とし, 従って ON のときはコレクター電流 $I_c=2I$ となる。実際に使用したトランジスターでは $\alpha \sim 0.98$ である。

に、時間遅れは大体 $2 \times$ (ベースにおける遅れ) で決まる。従って入力 n 個ある場合にはこの様な差働増幅器が n 個直列に接続され、その動作時間は大体 $n \times$ (ベースにおける遅れ) となり、入力が多数ある場合には不適である。

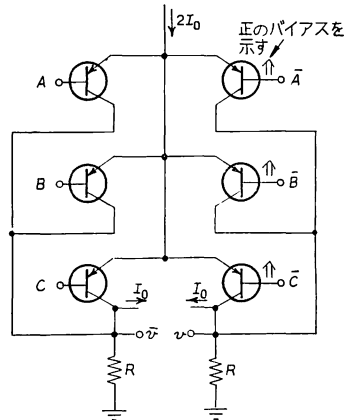
次に第6図の場合には、 \bar{A} , \bar{B} の端子は予めスイッチング電圧 u だけ正にバイアスが加えられて居り、入力信号としては $2u$ を必要とする。バイアス電圧の為、 A , B が共に2進法入力1の時だけ $v = +RI_0$ となり、その他の組合せに対しては電流 $2I_0$ は常に T_1 か T_3 に流れ、 $v = -RI_0$ となる。故に $+RI_0$ を1に、 $-RI_0$ を0に対応させて、 $f = A \cdot B$ となり、AND 回路の働きをする。前と同様に入力の A , B を夫々 \bar{A} , \bar{B} で置きかえると、

$$f = A \vee B$$

が得られる。この回路では、コレクター出力が並列に接続されているので動作時間は短縮し、前と同様 GF-45011 を使用したとき約 $3 \text{ m}\mu\text{s}$ である。*

入力が2つ以上ある場合も同様で、次々に電流源に並列に接続すればよい。また動作時間は入力の数には関係なく、ほぼ一定とみてよい。

以上の回路の動作で解る様に、この方式では信号は常に2線によって対、例えば A, \bar{A} として存在する。従って NOT 回路は必要がなく、単に2つの線を交換すればよい。

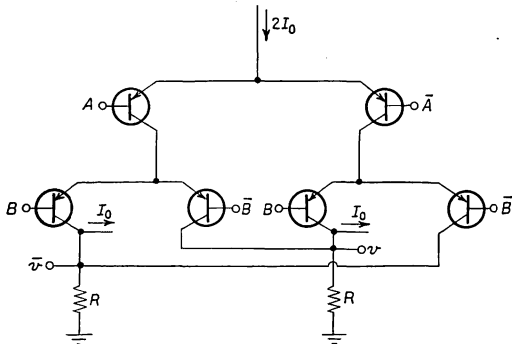


3つの入力に対するAND回路
第8図

IV Exclusive OR

上述の AND, OR, NOT の組合せで、Exclusive-OR 回路は作られるが、ここではより簡素化された回路が得られるので挙げておく。

今迄と同様に、ベースの電位が高いときを2進法の1、低いときを0に対応させて、2つの入力の4



第9図 Exclusive OR 回路

第2表 Exclusive OR 回路
に対する真理値

A	\bar{A}	B	\bar{B}	v	\bar{v}
1	0	1	0	$-RI_0$	$+RI_0$
1	0	0	1	$+RI_0$	$-RI_0$
0	1	1	0	$+RI_0$	$-RI_0$
0	1	0	1	$-RI_0$	$+RI_0$

* 直列接続に比べて並列接続のときは、その動作時間が約半減することが予想される。併しこの場合次の段も同様な論理回路と仮定し、出力として $2u$ を得る為、エミター電流、負荷抵抗を増加し、この為にトランジスタの遅れ、又負荷抵抗による立上り時間の増加をきたし、その結果予想以下の成果となった。

つの組合せに対し第 2 表の様な出力が得られ、 $+RI_0$ を 1 に、 $-RI_0$ を 0 に夫々対応させて、結局

$$f = A \oplus B.$$

AND, OR 回路を組合せる場合にはトランジスタを 12 個必要とするが、この方法では 6 個に半減し、また動作時間は同じである。

V 記憶回路

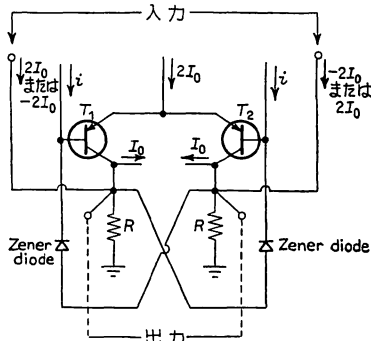
i) フリップ・フロップ

第 10 図において、今 T_1 が ON の状態だとすると、電流 $2I_0$ は T_1 のコレクター負荷 R に現われ、その電圧は $+RI_0$ となり、之はゼーナーダイオード (Zener-Diode) を通して T_2 のベースに饋還される。これにより T_2 のベースの電位は上昇し、 T_1 が ON の状態を持続する様に働く。また OFF の状態にある T_2 はその状態を持続する。

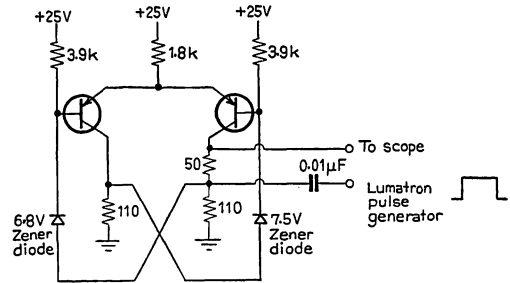
この回路では入力信号は直接負荷抵抗 R に加えられるので、その状態を変えるにはこの回路の電流源 $2I_0$ の 2 倍、 $4I_0$ が必要となる。即ち入力インピーダンスが低い欠点をもつ。また入力と出力が同一点だから、或る場合には使用困難となることがある。

GF-45011 を使用すると、その動作時間 (入力が加えられてから、フリップ・フロップが信号に対応した状態に到着く迄の時間) は約 $2.5 \text{ m}\mu\text{s}$ でテストに用いた回路とその波形を第 11 図および第 12 図に示す。

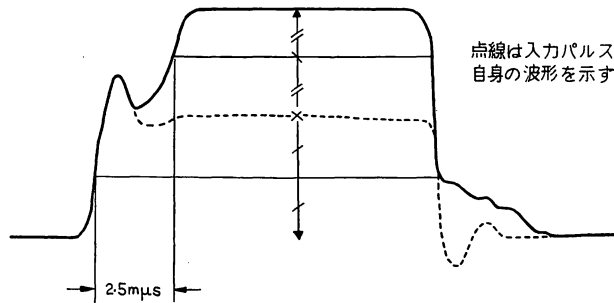
入力インピーダンスを高くし、入力と出力との結合をなくする必要がある場合には、動作時間を或る程度犠牲にして、第 13 図の様な増幅器を付加した回路がよい。入力側の回路において I を小さく、 r を高くとることにより入力インピーダンスを高くすることが出来る。また入力側の r と出力側 R とは完全に分離されてい



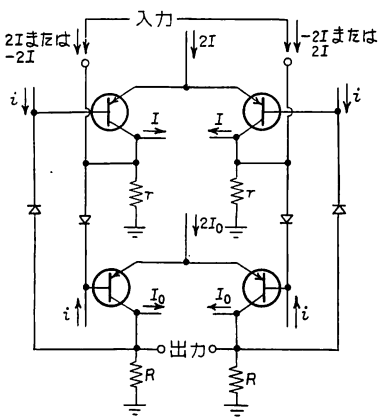
第 10 図 フリップ・フロップ



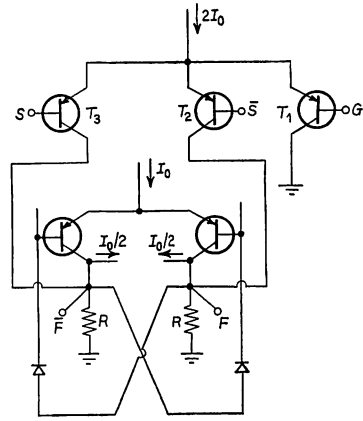
第 11 図 フリップ・フロップ試験回路



第 12 図 フリップ・フロップの波形



第 13 図 増幅器付フリップ・フロップ



第 14 図 (ゲイト付フリップ・フロップ) F-エレメント回路

る。この回路の動作時間は $4 \text{ m}\mu\text{s}$ である。

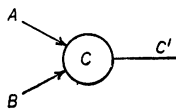
ii) ゲイト付フリップ・フロップ

a) F-エレメント (F-element)

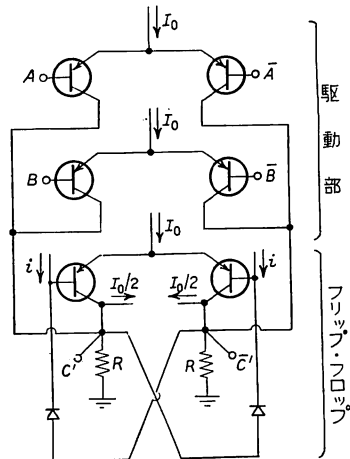
動作時間が短いこと、回路がより簡単であることから、以下第 10 図に示したフリップ・フロップを用いる。

第 14 図において、ゲイト入力としては S の入力よりも大振幅とする。そうすると $G=0$ 、即ち T_1 のベースが T_2, T_3 の何れのベースよりも低い電位となり、 $2I_0$ は T_1 を通して流れ、 T_2, T_3 は S の如何に拘わらず OFF となる。従ってフリップ・フロップは古い状態を維持する。次に $G=1$ のときは、 T_1 のベースは T_2, T_3 の何れのベースよりも充分高電位となり、 $2I_0$ は差働スイッチング回路 T_2, T_3 への入力 S の状態に従ってフリップ・フロップを駆動する。故に F の新しい状態を F' として、

$$F' = F\bar{G} \vee GS.$$



第 15 図 C-エレメント



第 16 図 C-エレメント回路

この回路では、 G 入力は 2 線式ではない。

b) C-エレメント (C-element)

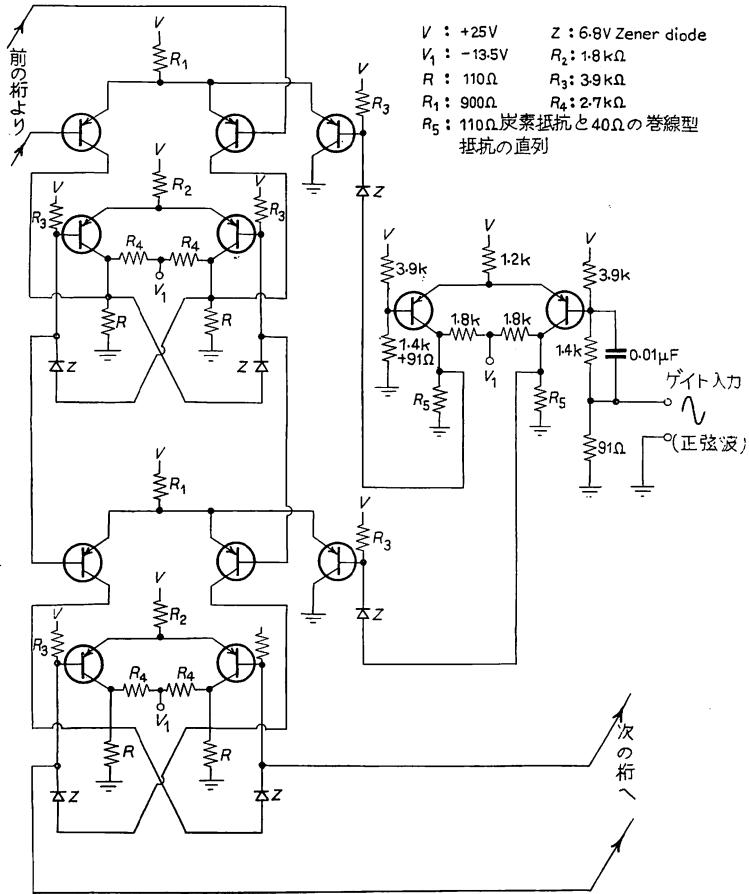
この場合のブール (Boole) 表示式は

$$C' = AB \vee AC \vee BC .$$

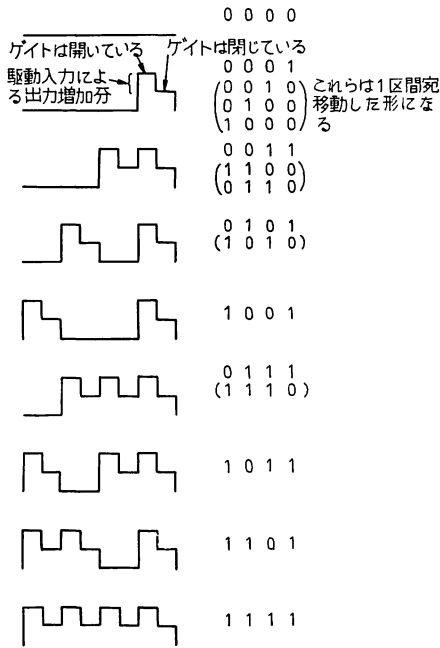
之は、 A, B が共に 0 ならば新しい C の値 $C'=0$ 、また共に 1 なら $C'=1$ 、それ以外の場合は $C'=C$ (古い状態を維持) となる。

VI シフティング・レジスター (Shifting-register)

前述の F-エレメントを接続して、シフティング・レジスターが得られる。第 17 図は 1 桁当たりの回路である。上段と下段のゲート入力は互に共駆の関係にあるから、差動増幅器のコレクター出力を利用し、この回路に充分接近させておけば G, \bar{G} 夫々としては 2 線式ではなくとも雑音を拾うことができなく、全体としては依然として 2 線式の利点を失なわない。



第 17 図 シフティング・レジスター回路

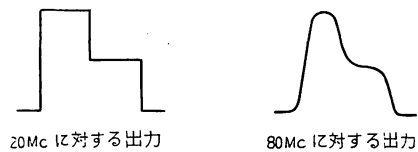


第 18 図 4 桁シフティング・レジスタのテスト波形 (各フリップ・フロップのコレクターに現われる)

実験には 4 桁のシフティング・レジスタが用いられ、G 入力として 80 Mc 迄順調に動作することが確かめられた。それ以上高い周波数に対しては、発振器、測定器の都合上実験を行なうことが出来なかった。

F-エレメントの入力、出力が同一点に現われる為に、取り出す信号電圧は通常の矩形波ではなく階段状をなす。実験では 4 桁の最初の桁と最後の桁を連結し、外部からのパルスでショックを与えることにより、4 桁の凡ての組合せが観察された。80 Mc のゲイト入力に対しては出力回路およびオシロスコープの時定数が無視出来なくなり、観察される波形は第 19 図の様にくずれる。

80 Mc 程の高周波になると、普通の炭素抵抗は容量性のために出力電圧の低下をきたすので、特に確



出力波形
 第 19 図

実なゲイト入力電圧を得る為、ゲイト入力前置の差働増幅器のコレクター負荷抵抗には一部巻線型抵抗を挿入し、容量性の補償を行なった。

VII 差働増幅器のその他の応用

i) 2 進計数回路

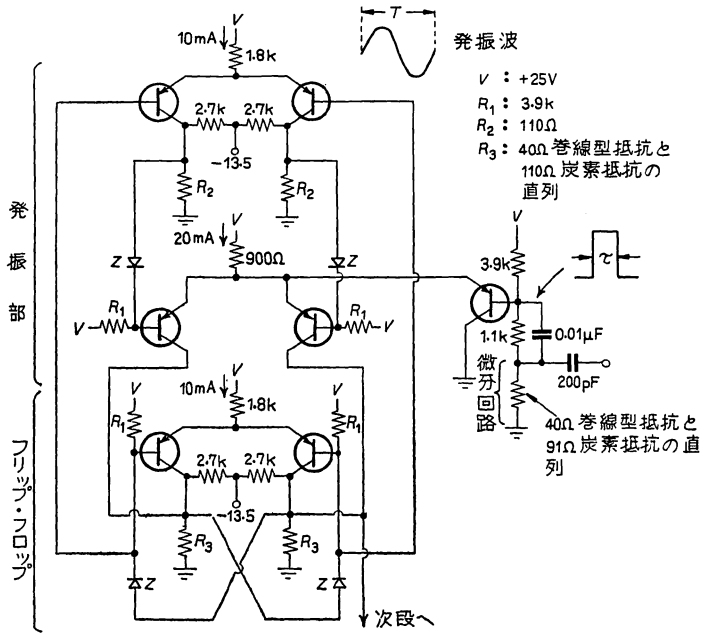
回路は発振部、フリップ・フロップおよびゲイトから成る。第 20 図において、ゲイトに正のパルスが加わっている期間だけ発振部の差働増幅器が動作し、発振する。今ゲイトに加わるパルスの幅 τ を丁度発振部の発振周期 T に対し

$$\tau \sim \frac{T}{2}$$

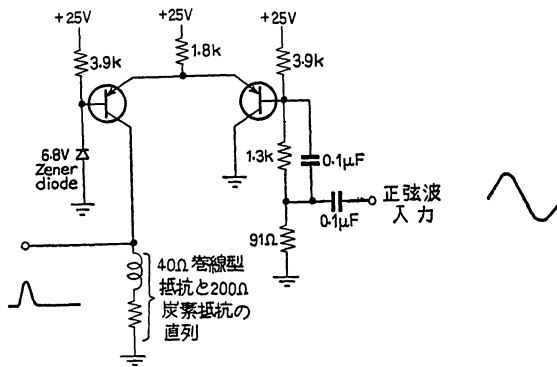
にすると、発振部はその位相を大体 180° だけ変えることになる。発振部に直結されたフリップ・フロップはこの最後の発振部の極性を記憶する。次に来る正のパルスにより再び位相が逆転する。この様に 2 つのパルスによってフリップ・フロップの出力は一周期を完了するから、2 進計数回路として働く。

発振部の発振周波数が高ければ高い程 (但しフリップ・フロップはそれに追従出来るとして) パルスの幅を小さくすることにより高い周波数の計数が可能となる。GF-45011 を使用した場合、発振周波数は 70 Mc 程度であるから 140 Mc 位迄は計数可能と思われる。実験では測定器、発振器の都合で 20 Mc, 40 Mc, 80 Mc を用いて良好な結果を得た。

入力パルスの幅は充分小さくしなければいけないので、発振器の正弦波そのままでは不適であり、整形



第 20 図 2 進計数回路

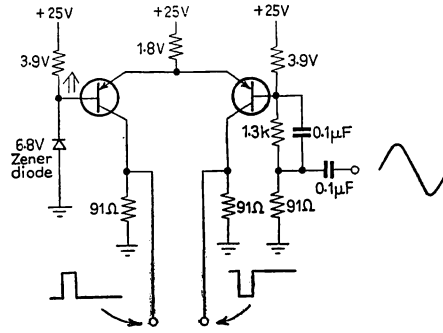


第 21 図 入力パルス整形回路

回路を前置した。その回路を第 21 図に示す。

ii) パルス成形回路

差働増幅器の一方のトランジスターのベースにバイアスを掛けることによりコレクターに現われる電圧がパルス状に（或いは矩形状に）なる。バイアスの程度によりパルスの幅が変わり、また入力電圧の波形が同じなら振幅が大きい程パルスの立上りが急になる。良質な電流電源を用いることにより、出力電圧の振幅は入力に無関係になる。

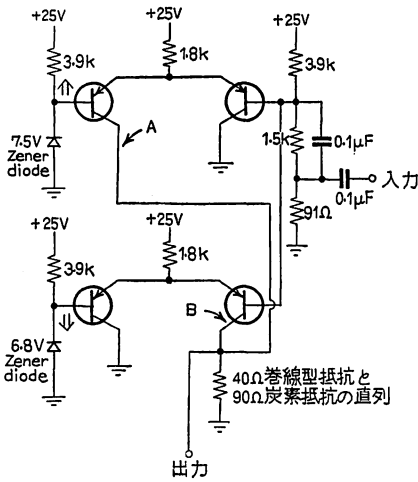


第 22 図 パルス成形回路

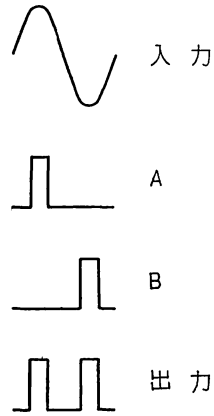
iii) 周波数倍増器

上述のパルス成形回路を2つ組合せると周波数倍増器が得られる。

前述のシフティング・レジスタ、2進計数回路のテストに用いた80 Mc電源は40 Mcの発振器とこの周波数倍増器を併用して得られたもので、両差動増幅器のベースバイアスを調節して良質な波形が得られた。



第 23 図 周波数倍増器



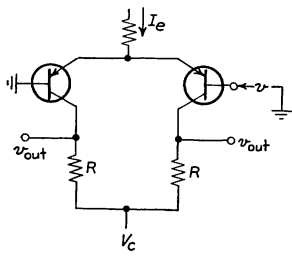
第 24 図 周波数倍増器の各部の波形

VIII 差動スイッチング回路のスイッチング速度について

差動スイッチング回路を用いた色々な回路を挙げて来たが、ここでは之等の周波数上限となるスイッチング速度について若干述べておく。

第 25 図の様な回路において出力電圧の立上りおよび下り時間を支配する因子として

- i) エミター電流, I_e ,
- ii) 入力電圧の大きさ, v ,
- iii) コレクター負荷抵抗, R



第 25 図
差働スイッチング回路

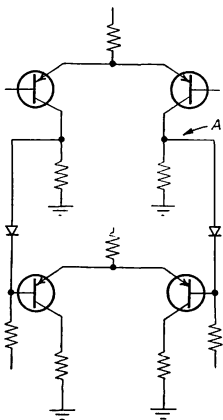
ばよいが、他のスイッチング回路を負荷として駆動する実際の回路では差働スイッチング回路の過渡時の入力インピーダンスが問題である。

差働スイッチング回路が入力パルスにより駆動される時、各トランジスタは ON から OFF へ、或いは逆の状態の変化をする。このときベースに溜っている電荷を中和する為に可なり大きな過渡電流を必要とし、この為前段のコレクター出力電圧の立上りおよび下り時間が犠牲になる。GF-45011 を使用するとき、無負荷時の立上り時間が $0.6 \mu\text{s}$ 、下り時間が $1.0 \mu\text{s}$ で、次段の差働スイッチング回

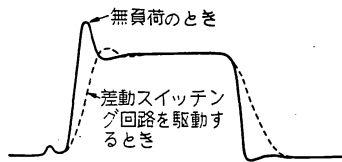
がある。コレクター電圧、 V_c は飽和状態にならない限り出力波形には無関係である。実験の結果、GF-45011 については $I_e \sim 11 \text{ mA}$ 、 $v \sim 1.0 \text{ v}$ 程度が最も良い結果を与える様である。前に得たスイッチング電圧 0.66 v は静的な値で、スイッチング速度を上げる為には或る程度過大入力電圧が必要であることが解る。

入力電圧と出力電圧の時間遅れは、 I_e, v, R に拘わりなく $1.2 \mu\text{s}$ で大体一定であるが、立上りおよび下り時間は I_e, v により可なり変化する。 R は 100Ω 程度またはそれ以下であれば I_e, v の影響が遙かに大きいので、 I_e, v を定めてから、それらに応じて決定した。

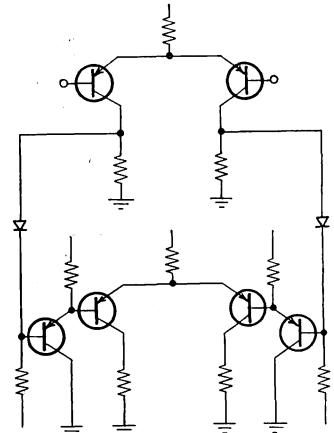
差働スイッチング回路 1 個についての速度は上述の事項を考慮すれ



第 26 図
差働スイッチング回路が他の差働スイッチング回路を駆動する場合



第 27 図 差働スイッチング回路の出力波形 (第 26 図の点 A)



第 28 図
電流増幅器付差働スイッチング回路

路 1 個を駆動すると立上りおよび下り時間が夫々 $4 \mu\text{s}$ になる。今の処、この低入力インピーダンスの問題は差働スイッチング回路の各トランジスタに電流増幅器を前置するより他に解決の方法がない様である。その結果は良好で、駆動段の電圧の立上り、下り時間は無負荷時と大体同じ値が得られた。併し実際の複雑な回路においては回路の設計以外に各部品の配置も非常に重要となる。即ち浮遊容量や誘導障害による特性の劣化がある。前述のシフティングレジスタ等の様な複雑な回路にこの方法を採用しなかったのは回路の製作が幾何学的配置の点から困難であったからである。従って差働スイッチング回路に電流増幅器を前置する方法は、之等を通常のトランジスタを結線するのではなく、トランジスタ製造の際組として作り上げるなどして回路を小型化するのでなければ実用には困難を伴う様である。

IX 考 察

i) リストアリング回路 (Restoring Circuit)

差働スイッチング回路の出力は電流源 I_0 とコレクター負荷抵抗 R で決定され、入力電圧には無関係である。(入力電圧がスイッチング電圧より小さくない限り) 従って各段でパルスの整形を行なっていることになり、リストアリング回路は不要である。

ii) 段間接続について

実験においては凡て pnp トランジスタだけを使用したので、段間の接続にはゼーナーダイオード (Zener-Diode) で直流昇圧を行なったが、同一特性の npn トランジスタと交互に用いれば直結することが出来る。

X 摘 要

デジタル電子計算機回路の高速化の一方法として、小信号で且つ高速に動作するトランジスタ差働増幅器をとりあげ、之を用いた2線式の種々の計算機回路を設計、試作してみた。(この回路を計算機回路に応用することは Poppelbaum 教授により提起された。)

エミターを共通点とするトランジスタ差働スイッチング回路(一般には増幅回路と呼ばれているが、ここではスイッチング回路として用いたのでスイッチング回路と呼ぶ)はスイッチング感度が高く、また高速で動作する。例えば市販されている米国 Western Electric 社製の GF-45011 を用いると、スイッチング感度が 1v で、スイッチング速度が $2\text{ m}\mu\text{s}$ である。

この回路を用いた AND, OR 回路の動作速度は約 $3\text{ m}\mu\text{s}$ である。この差働増幅器を用いた系の特徴として、信号電圧は常に共軛分と共に対になって存在する為、NOT 回路は単に対になっている2つの線を入れ替えるだけで得られ、また AND 回路と OR 回路は本質的には同一の回路である。

Exclusive-OR 回路は AND, OR, NOT を論理的に組合せて得られるが、電気回路的に簡素化された回路が得られる。

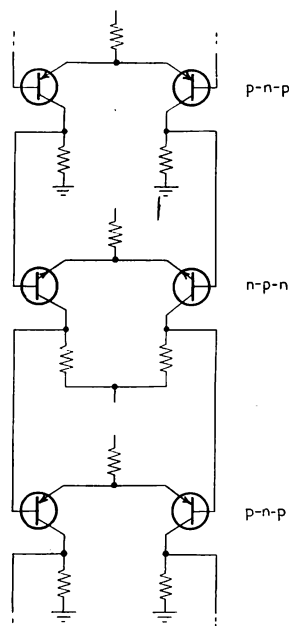
フリップ・フロップについては2種類のものが考えられ、一つは高速度で動作する ($2.5\text{ m}\mu\text{s}$) が入力出力が同一点である為、或る場合には使用困難な回路で、他の一つは動作速度を多少犠牲にし ($4\text{ m}\mu\text{s}$)、入力出力を完全に分離した回路である。

前者を用い、F-エレメントおよび C-エレメントの回路を設計した。

F-エレメントの応用例として、4桁のシフティング・レジスタを試作した。 80 Mc 迄順調に動作することが確かめられたが、それ以上高い周波数に対しては駆動発振器の都合で試験は出来なかった。

トランジスタ差働増幅器のその他の応用として、この他に2進計数回路、パルス成形回路、周波数増倍器が試作された。

トランジスタ差働増幅器の基本的な動作条件として、エミター電流の大きさ、および入力電圧の振幅が重要であることが実験的に認められた。高速スイッチングにはエミター電流が小さくなくてはいけないこと、また入力電圧は静的スイッチング電圧よりも幾分大きくとる必要があることがわかった。この他に、トランジスタ差働スイッチング回路を縦続接続して使用する場合には、駆動される差働スイッチング回路の過渡時入力インピーダンスが低い為信号パルスの立上り、下りが害され、動作時間が長



第 29 図
p-n-p, n-p-n を交互に用いた
場合の接続

くなる。この問題を解決する方法としては、現在のところ電流増幅回路を付加する他にない様である。併しこの場合回路が複雑になるので、実際の回路の製作に当っては浮遊容量、浮遊誘導による悪影響がない様に、部品の幾何学的配置を慎重に考慮する必要がある。この実験で扱った回路には電流増幅器はつけてない。

本研究は、筆者がイリノイ大学計算機研究室に滞在中になされたもので、懇切な御指導を賜った恩師 Poppelbaum 教授に深く感謝の意を表する。

参 考 文 献

Poppelbaum, W. J. & N. E. Wiseman, 1959 Report No. 90, University of Illinois Graduate College Digital Computer Laboratory.

Summary

To obtain high speed operation of electronic digital computer circuits, a small signal switching circuit, transistor difference amplifier circuit, has been considered. (This circuit was first proposed by W. J. Poppelbaum)

A transistor difference amplifier of common-connected emitter has high switching sensitivity and operates fast. Using GF-45011 (Western Electric Co.) switching sensitivity of 1 volt and switching speed of 2 milli-micro seconds were obtained.

Then basic logic circuits, AND gate and OR gate, were designed. Because of the good feature of the difference amplifier system, may be called "Two wire System", both AND gate and OR gate are essentially the same and NOT circuit can be obtained by only interchanging the two wires. Speed of the AND gate and OR gate observed was about 3 milli-micro seconds.

An intergrated two input Exclusive-OR circuit was shown.

Two kinds of flip-flop circuit were designed; the one which has advantage of speed (2.5 milli-micro seconds of setting time) but has the somewhat peculiar characteristic that the input point and the output point are exactly the same, the other which is inferior to the former in speed-wise (4 milli-micro seconds of setting time) but has the advantage that the input and the output are completely separated.

Using the former, F-element circuit and C-element circuit were designed.

As one of applications of F-element circuit to more complicated circuits 4-bit shifting register were made and tested. The result was satisfactory up to 80 mc, and for higher frequencies the experiment was not carried out because of the lack of the appropriate oscillator.

As miscellaneous applications of transistor difference amplifier the followings were made and tested:

- 1) Binary couter (tested up to 80 mc)
- 2) Pulse shaper
- 3) Frequency doubler (80 mc was obtained by 40 mc input)

On the switching speed of the difference amplifier, the emitter current and the magnitude of the input was found to be important. For highspeed operation, the emitter current should be chosen small enough, and the magnitude of the input voltage should be chosen somewhat higher than the static switching voltage.

Although the speed of operation of single difference amplifier is about 2 mili-micro seconds under the optimum condition, the situation is different when another difference amplifier is driven. This is because of the fact that the transient input impedance of the difference amplifier is low. The difference amplifier with emitter followers (current amplifier) is the only way of improving the above problem so far. Since the circuits now become complicated, when using this modified difference amplifier for high speed circuits, the physical layout must be considered carefully. In the circuits that have been dealt with in this paper, the modified difference amplifier has not been used.