



Title	QDI遅延仮定モデルに基づく非同期式回路の合成及び検証( Abstract_論文要旨 )
Author(s)	仲程, 基経
Citation	
Issue Date	2015-03-19
URL	<a href="http://hdl.handle.net/20.500.12000/30656">http://hdl.handle.net/20.500.12000/30656</a>
Rights	

## 論文要旨

論文題目 QDI 遅延仮定モデルに基づく非同期式回路の合成及び検証

本論文は、VLSI 非同期式回路設計において、QDI 遅延仮定モデルに基づく NCL 非同期回路についてゲートレベルで考案したニューロン MOS によるヒステリシカルしきいゲートを提案、合成及び検証を行うものである。現在の VLSI 設計はグローバルクロック (GCLK) に基づく同期式設計が主流であるが、近年の素子技術の進歩により、VLSI の超高速動作やシステムの大規模化による、クロックスキューおよびノイズの問題等が顕著になっている。またその一方で、CPU のマルチコアや、SoC の為の IP コア等のシステムのモジュール化も盛んである。このような背景から、LSI 内のタイミングをひとつの GCLK によって調停するのは困難となっている。本研究で用いられる非同期回路は、GCLK を使わない事でこれらの問題を本質的に解決する手段の一つとして注目されている。非同期式回路の研究は主に二つの側面からなる。ひとつは GCLK の存在を如何にして希薄にするかと言う回路上の設計からなる研究、もうひとつは非同期式回路が持つ特徴から導き出される理論から生成されるべき回路を導出する研究である。両者は設計容易性、潜在的利点などの点から一長一短の特徴を持つ。本研究で特に注視するのは遅延仮定モデルと呼ばれる制約条件を課した元での回路の設計、及び検証である。回路遅延モデルを仮定した場合、設計が複雑になり、その制約条件の可否を検討する必要があるが、非同期式回路としての潜在的な能力を強く発揮する事ができる。我々は、QDI モデルという遅延仮定モデルを満たす為に提案された、NCL と呼ばれる多値論理の応用を採用する。これは論理の段階から QDI 遅延仮定モデルを満たそうと試みるものであり、NCL に基づく回路は QDI モデルを満たすと考えられている。NCL 回路は記憶性を持つ論理素子が必要となるが、本研究ではニューロン MOS を応用させ、ヒステリシカルしきいゲート (TH gate) と呼ばれる記憶性ゲートを提案した。ニューロン MOS の持つしきい関数の特性にフローティングゲートの電圧バイアスを考案する事でヒステリシス性を実現し、NCL 回路の素子として実現させた。またニューロン MOS の可変しきい値特性を生かし、種々の TH gate を単一の構成にする事を可能にした汎用 TH gate を提案した。更に、TH gate のメモリ特性を生かした細粒パイプラインの構成の検討を行った。vMOS の使用によりゲートの MOS 数が減少し、また回路全体の面積を減少させ、速度向上が望める。本研究において vMOS を用いて TH gate をレイアウトレベルで構成可能であることを示し、NCL 非同期回路ないし QDI 遅延仮定モデルの回路として動作する事の検証を行った。

氏名

仲程基経