



Title	QDI遅延仮定モデルに基づく非同期式回路の合成及び検証( Review_審査要旨 )
Author(s)	仲程, 基経
Citation	
Issue Date	2015-03-19
URL	<a href="http://hdl.handle.net/20.500.12000/30656">http://hdl.handle.net/20.500.12000/30656</a>
Rights	

(様式第5-2号) 課程博士

平成27年2月17日

琉球大学大学院  
理工学研究科長 殿

論文審査委員

主査 氏名 長田康敬

副査 氏名 玉城史朗

副査 氏名 名嘉村盛和



## 学位（博士）論文審査及び最終試験の終了報告書

学位（博士）の申請に対し、学位論文の審査及び最終試験を終了したので、下記のとおり報告します。

記

申請者	専攻名 総合知能工学専攻 氏名 仲程基経 学籍番号 058657K	
指導教員名	長田康敬	
成績評価	学位論文 <input checked="" type="radio"/> 合格 <input type="radio"/> 不合格	最終試験 <input checked="" type="radio"/> 合格 <input type="radio"/> 不合格
論文題目	QDI遅延仮定に基づく非同期式回路の合成及び検証	
審査要旨（2000字以内） 大規模デジタルシステムにおいては、近年、配線遅延が素子遅延に対し回路の高速化に影響し、システム全体の速度の限界やクロックスキュー、放熱や電力消費の問題等が顕著になってきている。これらを打破する一つの方法に、グローバルクロックを用いない非同期システムあるいは自己同期システムが注目を集めている。最近の非同期システムにおいては、種々の遅延モデルが提案され整理されている。本研究ではQuasi-Delay Insensitive		

(裏面へ続く)

## 審査要旨

model (QDI) に基づく非同期システムの一設計手法とその検証法を提案している。通常のこのモデルでの非同期システムでは、稼働相にB-3値論理システムによる動作を行ない、休止相ではC型3値フェールセーフ論理を用いるが、Null Convention Logicによるシステムやこれを発展させた本研究でのシステムでは、稼働相でC型を用いる。そのため、休止相では記憶を含む特殊な論理体系を採らざるを得なかった。本研究では、これに対し、ヒステリシスを有するしきいゲートを提案し、これを用いることで良好な非同期動作が行えることを示している。ヒステリシスを有するしきいゲートは、これまでにないユニークな動作を行ない、記憶素子としての性質を有している。さらに、ヒステリシスを有するしきいゲートを、可変しきいゲートにするなどの提案も行っている。デジタルシステムの新たな設計手法や、その検証技術にも触れており、未開拓の分野を示唆するものである。通常は、回路設計の後にLSIの内部配線パターンを設計し、その動作確認を行うが、本研究では、逆にヒステリシカルしきいゲートのパターンをMAGICというツールで最適に求め、MAGICから回路情報を抽出し、回路動作シミュレータであるSPICEで回路の動作確認を行っている。検証では、非同期回路の動作を効率よく行えるようなアルゴリズムを提案し、他の手法との比較・検討を行っており、これが良好であることを報告している。審査会では、非同期式回路の今後の展望が議論された。また、局所的に同期式で、大域的に非同期式で動作するシステム構成も話し合われた。

従って、本論文による研究成果は工学的に有用であり、提出された学位論文は博士の学位論文に相当するものと判断し、学位論文の審査を合格とする。また、論文発表会における発表ならびに質疑応答においても、申請者は専門分野および関連分野の十分な知識ならびに十分な研究能力を有していることが確認できたので最終試験を合格とする。